

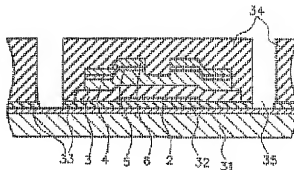
ACTIVE MATRIX SUBSTRATE, DISPLAY USING THE SAME, AND ITS MANUFACTURING METHOD**Publication number:** JP2002353235 (A)**Publication date:** 2002-12-06**Inventor(s):** MIYATA YUTAKA**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD**Classification:**

- international: G02F1/1333; G02F1/1343; G02F1/1368; G09F9/30; H01L21/02; H01L21/336; H01L27/12; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L21/336; G02F1/1333; G02F1/1343; G02F1/1368; G09F9/30; H01L27/12; H01L29/786

- European:

Application number: JP20010154590 20010523**Priority number(s):** JP20010154590 20010523**Abstract of JP 2002353235 (A)**

PROBLEM TO BE SOLVED: To provide an active matrix substrate of which the cost can be reduced and waste in members and energy can be eliminated by forming a plurality of value-added thin film transistors(TFT) or semiconductor circuit element groups on a first substrate, and partially transferring them to needed portions of a second substrate, and to provide a display using the same and a manufacturing method. **SOLUTION:** The first substrate 31 comprises the plurality of TFTs or the semiconductor circuit elements thereon, and a plurality of the TFTs or a portion of the circuit element groups are transferred to the second substrate having a thin film patterning thereon, which is the active matrix substrate. The plurality of the TFTs or a portion of the circuit element groups may be transferred to the second substrate directly, or the plurality of TFTs or a portion of the circuit element groups may be transferred to the second substrate through a third substrate.



Data supplied from the esp@cenet database — Worldwide

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353235

(P2002-353235A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int. Cl. ⁷	識別記号	F I	テマコード [*] (参考)		
H 0 1 L 21/336		G 0 2 F 1/1333	5 0 0	2 H 0 9 0	
G 0 2 F 1/1333	5 0 0		5 0 5	2 H 0 9 2	
	5 0 5	1/1343		5 C 0 9 4	
	1/1343	1/1368		5 F 1 1 0	
	1/1368	G 0 9 F 9/30	3 1 0		
審査請求 未請求 請求項の数18 O L (全 7 頁) 最終頁に続く					

(21) 出願番号 特願2001-154590(P2001-154590)

(22) 出願日 平成13年5月23日 (2001. 5. 23)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 宮田 豊

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

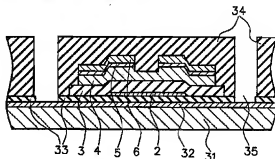
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板とそれを用いた表示装置およびその製造方法

(57) 【要約】

【課題】 付加価値の高い薄膜トランジスタ (TFT) や半導体回路を第1の基板上に複数作り、第二の基板の必要部分に移載することにより、アクティブマトリクス基板のコストを下げ、部材やエネルギーの無駄を低減したアクティブマトリクス基板とそれを用いた表示装置及びその製造方法を提供する。

【解決手段】 第一の基板31上に形成された複数のTFT又は回路素子群と、前記複数のTFT又は回路素子群の一部を積載するための第二の基板と、前記第二の基板上のパターンニングされた薄膜とを含むアクティブマトリクス基板とする。第一の基板から複数のTFT又は回路素子群の一部を第二の基板上に移動させるか又は第一の基板から複数のTFT若しくは回路素子群の一部を第三の基板を介して第二の基板上に移動させる。



【特許請求の範囲】

【請求項 1】 第一の基板上に形成された複数の薄膜トランジスタまたは回路素子群と、前記複数の薄膜トランジスタまたは回路素子群の一部を積載するための第二の基板と、前記第二の基板上のパターニングされた薄膜とを含むアクティブマトリクス基板。

【請求項 2】 前記第二の基板上のパターニングされた薄膜は、導電体と絶縁体とからなる請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】 第一の基板が、ガラス基板、石英基板およびシリコン単結晶基板から選ばれる少なくとも一つである請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】 第二の基板がガラス基板またはプラスチック基板である請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 5】 第二の基板上には金属配線パターンと所定の場所に通電により発熱する抵抗パターンが設けられている請求項 1、2 または 4 に記載のアクティブマトリクス基板。

【請求項 6】 第二の基板に転写された薄膜トランジスタまたは回路素子群と、前記第二の基板と薄膜トランジスタまたは回路素子群上の絶縁膜と、前記絶縁膜の所定の部分に形成されたコンタクトホールと、金属配線とからなる請求項 1、2、4 または 5 に記載のアクティブマトリクス基板。

【請求項 7】 複数の薄膜トランジスタまたは回路素子群を形成した第一の基板から前記複数の薄膜トランジスタまたは回路素子群の一部を第二の基板上に移動させることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 8】 複数の薄膜トランジスタまたは回路素子群を形成した第一の基板から前記複数の薄膜トランジスタまたは回路素子群の一部を第三の基板を介して第二の基板上に移動させることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 9】 第一の基板上に形成した複数の薄膜トランジスタまたは回路素子群を所定の単位毎に剝離可能とした上で、第二の基板に移動させることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 10】 第一の基板がガラス基板または石英基板またはシリコン単結晶基板である請求項 7～9 のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項 11】 第二の基板がガラス基板またはプラスチック基板である請求項 7～9 のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項 12】 第三の基板上の第一の接着樹脂により第一の基板に形成した複数の薄膜トランジスタまたは回路素子群を転写し、第二の基板上に形成した第二の接着樹脂により第三の基板上の複数の薄膜トランジスタまた

は回路素子群の一部を第二の基板上に転写する請求項 8 に記載のアクティブマトリクス基板の製造方法。

【請求項 13】 第三の基板はプラスチックフィルムからなる請求項 8 または 12 に記載のアクティブマトリクス基板の製造方法。

【請求項 14】 第一の接着樹脂は熱可塑性であり、第二の接着樹脂は熱硬化性である請求項 12 に記載のアクティブマトリクス基板の製造方法。

【請求項 15】 第三の基板は液体または気体を通ず機能を有する請求項 8、12 または 13 に記載のアクティブマトリクス基板の製造方法。

【請求項 16】 第二の基板上には金属配線パターンと所定の場所に通電により発熱する抵抗パターンを設ける請求項 7～9 のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項 17】 第二の基板に転写された薄膜トランジスタまたは回路素子群と、前記第二の基板と薄膜トランジスタまたは回路素子群上の絶縁膜と、前記絶縁膜の所定の部分に形成されたコンタクトホールと、金属配線とからなる請求項 7～9 のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項 18】 第一の基板上に形成された複数の薄膜トランジスタまたは回路素子群と、前記複数の薄膜トランジスタまたは回路素子群の一部を積載する第二の基板と、前記第二の基板上のパターニングされた薄膜とからなるアクティブマトリクス基板を用いた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶ディスプレイや有機エレクトロルミネッセンス（EL）ディスプレイ等の表示装置やラインセンサーやエリアセンサーなどの撮像装置に利用されるアクティブマトリクス基板に関する。

【0002】

【従来の技術】従来、液晶ディスプレイや有機エレクトロルミネッセンス（EL）ディスプレイ等の表示装置や、ラインセンサーやエリアセンサーなどの撮像装置に利用されるアクティブマトリクス基板の製造方法は、半導体作成技術や設備を改良し大型の透光性基板に対応できるようにしたものであった。

【0003】以下に従来のアクティブマトリクス基板の製造方法について説明する。

【0004】図 8 は従来のアクティブマトリクス基板の一つの単位である薄膜トランジスタ（TFT）の断面構造を示すものである。図 8 において、ガラス基板 1 の表面に、ゲート電極 2 が例えばバックリング装置にて T₁ と A₁ の積層構造で形成されている。その表面にはゲート絶縁膜 3 が形成され、その上にインシリクナ特性（故意に不純物を添加しない）を有する非晶質シリコン 4 が形成され、その表面に P をドーピングした非晶質シ

リコン5が形成されている。ゲート絶縁膜3、非晶質シリコン4と表面にPをドープした非晶質シリコン5は、プラズマCVD装置にて連続形成されている。その表面にソース・ドレイン電極6が形成されている。ソース・ドレイン電極6は、一例としてはスパッタリング装置にてT1とA1の縁部構造で形成されている。各薄膜層はフォトリソグラフィによるレジスタパターンとドライまたはウェットエッチングによってパターンニングされTFTの形状を作製する。

【0005】図9は従来のアクティブマトリクス基板を液晶ディスプレイに適用した場合の一つの画素単位の平面図であり、TFT部分は上記の断面図と同様であるが、TFT以外では、7は画素電極、8は画素電極7とゲート配線2.1の重なり部分で形成する蓄積容量である。図10は図6の等価回路を示したものである。図7のB1はソース配線、V_sはソース配線に印加される信号電圧、V_gはゲート配線に印可される走査パルスである。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来例の構成では、図9からもわかる様にTFTの占める面積(2,4,5,6の部分)はごく一部であり、TFTの領域以外は同じ成膜プロセスとパターンニングプロセスで処理されるが、全て除去される。TFT作製のための設備、それらを設置するクリーンルームや駆動設備は非常に高価である。さらに人件費も加わりことになり、その結果としてアクティブマトリクス基板の原価は非常に高いという問題点を有していた。また、TFT作製のために形成した薄膜もほとんどの部分が除去されて廃棄されるので、地球資源の浪費であるとともに、廃棄される部分のために多くのエネルギーとエッチング用のガスや薬液類を使用していることになり、地球環境にも多大の影響を与えていた。

【0007】本発明は、前記従来の問題を解決するため、付加価値の高いTFTや半導体回路を第1の基板上に複数作り、第二の基板の必要部分に転移することにより、アクティブマトリクス基板のコストを下げ、部材やエネルギーの無駄を低減したアクティブマトリクス基板とそれを用いた表示装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するために本発明のアクティブマトリクス基板は、第一の基板上に形成された複数の薄膜トランジスタまたは回路素子群と、前記複数の薄膜トランジスタまたは回路素子群の一部を移載するための第二の基板と、前記第二の基板上のパターンニングされた薄膜とを含むことを特徴とする。

【0009】前記第二の基板上のパターンニングされた薄膜は、導電体と絶縁体とからなることが好ましい。

【0010】前記第一の基板が、ガラス基板、石英基板

およびシリコン単結晶基板から選ばれる少なくとも一つであることが好ましい。

【0011】また前記第二の基板がガラス基板またはプラスチック基板であることが好ましい。

【0012】また前記第二の基板上には金属配線パターンと所定の場所に通電により発熱する抵抗パターンが設けられていることが好ましい。

【0013】また、前記第二の基板に転写された薄膜トランジスタまたは回路素子群と、前記第二の基板と薄膜トランジスタまたは回路素子群上の絶縁膜と、前記絶縁膜の所定の部分に形成されたコンタクトホールと、金属配線とからなることが好ましい。

【0014】次に本発明の第1番目のアクティブマトリクス基板の製造方法は、複数の薄膜トランジスタまたは回路素子群を形成した第一の基板から前記複数の薄膜トランジスタまたは回路素子群の一部を第二の基板上に移動させることを特徴とする。

【0015】次に本発明の第2番目のアクティブマトリクス基板の製造方法は、複数の薄膜トランジスタまたは回路素子群を形成した第一の基板から前記複数の薄膜トランジスタまたは回路素子群の一部を第三の基板を介して第二の基板上に移動させることを特徴とする。

【0016】次に本発明の第3番目のアクティブマトリクス基板の製造方法は、第一の基板上に形成した複数の薄膜トランジスタまたは回路素子群を所定の単位毎に剥離可能とした上で、第二の基板上に移動させることを特徴とする。

【0017】前記第1～3番目の方法においては、第一の基板がガラス基板または石英基板またはシリコン単結晶基板であることが好ましい。

【0018】また前記方法においては、第二の基板がガラス基板またはプラスチック基板であることが好ましい。

【0019】また前記方法においては、第三の基板上の第一の接着樹脂により第一の基板上に形成した複数の薄膜トランジスタまたは回路素子群を転写し、第二の基板上に形成した第二の接着樹脂により第三の基板上の複数の薄膜トランジスタまたは回路素子群の一部を第二の基板上に転写することが好ましい。

【0020】また前記方法においては、第三の基板はプラスチックフィルムからなることが好ましい。

【0021】また前記方法においては、第一の接着樹脂は熱可塑性であり、第二の接着樹脂は熱硬化性であることが好ましい。

【0022】また前記方法においては、第三の基板は液体または気体を通す機能を有することが好ましい。

【0023】また前記方法においては、第二の基板上には金属配線パターンと所定の場所に通電により発熱する抵抗パターンを設けることが好ましい。

【0024】また前記方法においては、第二の基板上に転

穿された薄膜トランジスタまたは回路素子群と、前記第二の基板と薄膜トランジスタまたは回路素子群上の絶縁膜と、前記絶縁膜の所定の部分に形成されたコンタクトホールと、金属配線とからなることが好ましい。

【0025】次に本発明の表示装置は、第一の基板上に形成された複数の薄膜トランジスタまたは回路素子群と、前記複数の薄膜トランジスタまたは回路素子群の一部を覆載する第二の基板と、前記第二の基板上のパターニングされた薄膜とからなることを特徴とする。

【0026】以上説明したとおり、第一の基板上に高密度にTFTや回路素子群を形成し、これらのTFTや回路素子群を個別に第二の基板に移載するという構成を有している。

【0027】

【発明の実施の形態】（実施の形態1）以下、本発明の実施の形態について図面を参照しながら説明する。まず第一の基板と第二の基板の作製方法を説明する。図1は第一の基板上に作成されたTFTを示している。TFTそのものの構成は図8と同じであるが、基板31上には活性層32とアンダーコート層33を、またTFT上部にはパッシベーション層34を形成している。例えば、活性層32には非晶質シリコン、金属材料や予めイオン注入などで改質した層を用い、アンダーコート層33には酸化シリコンを、パッシベーション層34には窒化シリコンを用いる。35は各TFTを分離して剝離するために設けた薄膜除去部分である。

【0028】図2は図1の基板の平面図であり、第一の基板にはTFTの単位36-1、2、3をプロセスルール許容範囲で数多く形成する。

【0029】図3は第二の基板の平面図であり、配線パターンをあらかじめ形成しておく。この実施例の場合、ソース配線37とゲート配線の一部39をあらかじめ形成している。38は後述する発熱部分である。

【0030】次に、第一の基板から第二の基板にTFTを移載する方法を図4～6のプロセス工程図を用いて説明する。

【0031】図4(a)において、41は第三の基板であり、この例の場合プラスチック基板を用いる。42は熱可塑性の接着層である。第三の基板にはエッチング用のガスや薬液が侵入可能な穴43が開いている。第三の基板に図1の第二の基板上のTFTを加熱圧接し、第二の基板と第三の基板を接合した状態（図4(b)）で、活性層32を全面エッチング除去する。活性層32が非晶質シリコンの場合は水素ラジカルやNF₃やSF₆などのラジカルまたはフッ酸と硝酸の混合液を用いる。上記の処理によりTFTは第一の基板から剝離できる（図4(c)）。

【0032】次に、図5(a)の第二の基板44上の所定の領域には熱硬化性の接着剤45を塗布しておき、第二の基板と第三の基板を圧接加熱した後、二つの基板を分

離すると、TFTは第二の基板へ移載される（図5(b)）。加熱は基板全面しても良いし、図3に示した抵抗体部分38に電流を流し発熱させても構わない。

【0033】次に、パッシベーション層51を再度形成しコンタクトホール52を形成後（図6(a)）、配線間をつなぐ金属配線53パターンを形成する（図6(b)）。パッシベーション層51を形成する工程は、第二の基板上に予めパッシベーション層を形成しておくことで省略することが可能である。また、配線間をつなぐ金属パターンを先に形成した後、パッシベーション層を形成しても構わない。その場合、TFTのドレイン部分のみパッシベーション層にコンタクトホールを形成し、画素電極を形成してもよい。また、第二の基板はガラスでもプラスチックでも、表面が平滑であれば材料を選ばない。

【0034】（実施の形態2）第2の実施例として、回路素子群を移載する例を説明する。図7はSi単結晶ウェハー上に形成された回路素子群72を示している。回路素子群としてはドライバーIC、コントローラIC、RAMやCPUなどの集積回路である。これらの回路素子群を例えば図1の方法で第二の基板44に移載する。例として、表示装置であるなら、画素の部分は第一の実施例のように形成し、周辺にこれらの回路素子群を移載すると良い。TFTや回路素子群はガラス基板上の低抵抗ポリシリコンTFTを構成要素とするものでも構わない。上記構成のアクティブマトリクス基板と液晶セルや有機ELなどの光強度を制御する素子と組み合わせることによりシステムディスプレイを簡単に低コストで作る事が出来る。この様なシステムディスプレイの応用としては、携帯電話やPDA(personal digital assistance)等の携帯情報端末向けの表示装置があり小型・軽量・薄型化ははかれる。また、シート状のパーソナルコンピュータ、液晶テレビ、ノートパソコン用表示装置や液晶モニターなどに適用できる。いずれもさらに薄く高機能な表示装置を実現できる。さらに、反射型の液晶ディスプレイや有機ELを用いた表示装置の場合、第二の基板の裏面にも上記方法にて回路素子群を形成可能であるから、より高機能化ははかれる。例えば、第二の基板の表面は画素を駆動するTFTと配線だけ形成し、裏面にドライバーIC、コントローラICやRAM等を形成すると、薄型で究極の狭領域を具現した表示装置も作製可能となる。

【0035】以上のように本発明の実施の形態によれば、付加価値の高いTFTや半導体回路群を第一の基板に無数に作り、第二の基板の必要部分に移載することによりアクティブマトリクス基板の裏面に大幅に減らすことが出来るとともに、部材やエネルギーの無駄を大幅に低減出来る。また、第一の基板や第三の基板は再利用可能であり、この面でもコスト低減や地球環境の面で多大な寄与をする。さらに、第一の基板のサイズと第二の基

板のサイズは異なり、例えば第一の基板を既存の生産ラインで作製し、工程の少ない第二の基板の生産ラインを新しい生産ラインを用いるなどすると大画面の表示装置の実現も少ない設備投資額や少ない人員で可能となる。

【0036】

【発明の効果】 以上のように本発明は、第一の基板上に高密度に形成したTFTまたは回路素子群を第二の基板に移載するという方法をとることにより、低コストのアクティブマトリクス基板実現することが出来る。さらに限られた資源の有効活用もできる。これを用いることにより高い表示装置や撮像装置を実現できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における第一の基板の断面図

【図2】 本発明の実施の形態1における第一の基板の平面図

【図3】 本発明の実施の形態1における第二の基板の平面図

【図4】 (a)～(c)は本発明の実施の形態1におけるアクティブマトリクス基板の製造工程を示す断面図

【図5】 (a)～(b)は同製造工程を示す断面図

【図6】 (a)～(b)は同製造工程を示す断面図

【図7】 本発明の実施の形態2のSiウェハ－上の回路素子群を示す平面図

【図8】 従来のアクティブマトリクス基板の断面図

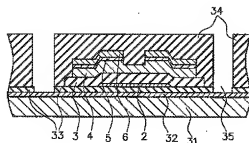
【図9】 従来のアクティブマトリクス基板の平面図

【図10】 図9のアクティブマトリクス基板の等価回路図

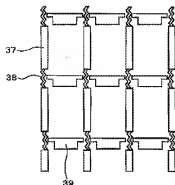
【符号の説明】

- 31 第一の基板
- 32 犠牲層
- 33 アンダーコート層
- 34 パッシベーション層
- 41 第三の基板
- 42 熱可塑性接着剤
- 43 エッチング用ガスまたは薬液の透過する穴
- 44 第二の基板
- 45 熱硬化性接着剤
- 51 パッシベーション層
- 52 コンタクトホール
- 53 金風配線
- 71 Si単結晶基板
- 72 回路素子群

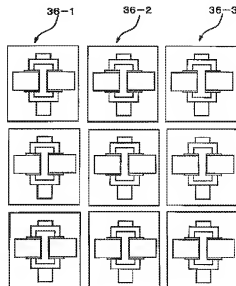
【図1】



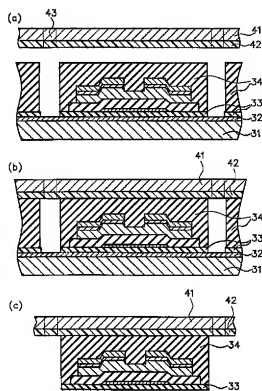
【図3】



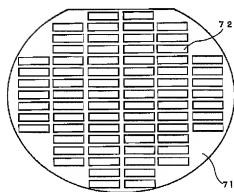
【図2】



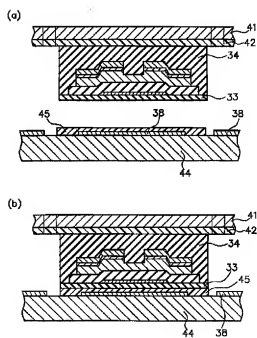
【圖 4】



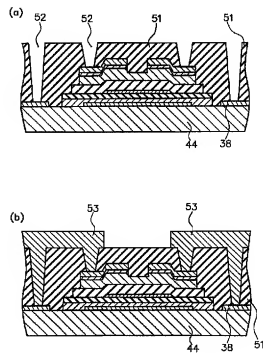
【圖 7】



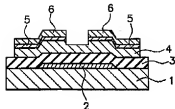
【圖 5】



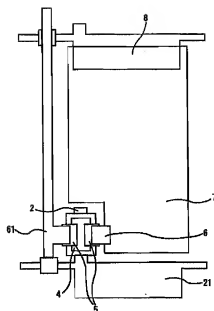
【圖 6】



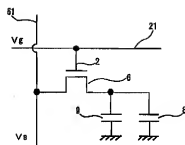
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. C.

G 0 9 F 9/30

識別記号

3 1 0

3 3 8

3 4 8

H 0 1 L 27/12

29/786

F I

G 0 9 F 9/30

H 0 1 L 27/12

29/78

特マコード(参考)

3 3 8

3 4 8 A

B

6 2 7 D

6 2 6 C

Fターム(参考) 2H090 JB02 JB03 JB04

2H092 GA29 JA24 MA12 NA29 PA01

5C094 AA43 AA44 AA45 BA03 CA19

DA15 FB01

5F110 AA30 BB01 CC07 DD01 DD02

DD12 DD13 DD17 DD25 EE03

EE04 EE14 EE44 FF30 GG02

GG13 GG15 GG35 GG45 HK03

HK04 HK09 HK16 HK22 HK25

HK33 HK35 QQ16